

## LOGICAL SYNTHESIS SYSTEM, LOGICAL SYNTHESIS CIRCUIT AND ITS METHOD

Patent Number: JP10091653  
Publication date: 1998-04-10  
Inventor(s): MUTOU TAMAE; NAKAGI TAKUO; NEMOTO TAKEHARU  
Applicant(s):: NEC CORP; NEC TELECOM SYST LTD  
Requested Patent: ☐ JP10091653  
Application Number: JP19960244662 19960917  
Priority Number(s):  
IPC Classification: G06F17/50  
EC Classification:  
Equivalents: JP3022778B2

### Abstract

**PROBLEM TO BE SOLVED:** To improve the reliability of logical synthesis processing and to effectively utilize a logical synthesis system by reducing parts to be manually controlled.

**SOLUTION:** The system is provided with a reading means 2 for reading out a logical circuit rule base storing logical circuit information not to be used for previously set logical synthesis, a retrieving means 3 for retrieving whether the same logical circuit as the read logical circuit rule base is included in a circuit to be applied to logical synthesis or not, a confirming means 4 for confirming whether the detected logical circuit is to be used for logical synthesis or not with a user, and a preparation means 5 for preparing a logical synthesis system controlling command including the information when the detected logical circuit is not used for logical synthesis. Since the leakage of retrieval is not generated and the command is automatically prepared by the means 5 after confirming the retrieved result with the user, missetting due to a command miss or the like can be removed. Consequently reliability in the use of the system can be improved and the operability of the system can also be improved.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-91653

(43) 公開日 平成10年(1998)4月10日

(51) Int. Cl. °

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60 6 5 4 K

審査請求 有 請求項の数 6

O L

(全7頁)

(21) 出願番号 特願平8-244662

(22) 出願日 平成8年(1996)9月17日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000232106

日本電気テレコムシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番地

(72) 発明者 武藤 珠恵

東京都港区芝五丁目7番1号 日本電気株式  
会社内

(72) 発明者 中木 琢夫

神奈川県川崎市中原区小杉町一丁目403番  
地 日本電気テレコムシステム株式会社内

(74) 代理人 弁理士 岩佐 義幸

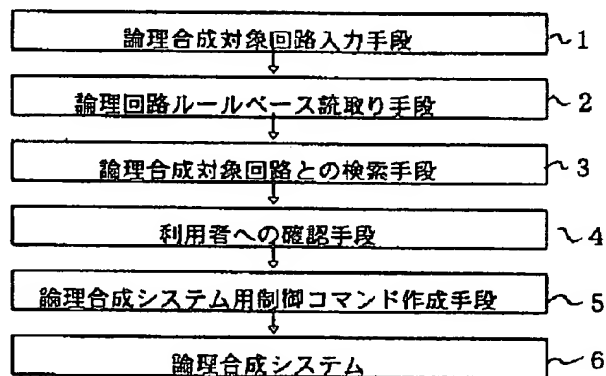
最終頁に続く

(54) 【発明の名称】 論理合成システム、論理合成回路および論理合成方法

(57) 【要約】

【課題】 マニュアル制御する部分を減らすことにより、論理合成処理の信頼性を向上させると共に、論理合成システムを有効に利用することにある。

【解決手段】 予め設定した論理合成の対象としない論理回路情報が入った論理回路ルールベースを読み取る読取り手段2と、論理合成対象回路の中に読み込んだ論理回路ルールベースと同一の論理回路があるかどうかを検索する検索手段3と、見つかった場合利用者に論理合成の対象とするか否かを確認する確認手段4と、論理合成の非対象とする場合、その情報を含んだ論理合成システム用制御コマンドを作成する作成手段5とを備える。これにより、検索漏れがなくなり、また検索結果を利用者に確認した後に、論理合成システム用制御コマンド作成手段5で自動的にコマンドを作成するため、コマンドのミス等による設定ミスがなくなる。これによって、システムを利用する上での信頼性が高まり、作業性を向上することができる。



## 【特許請求の範囲】

【請求項1】論理合成対象回路の中に論理回路ルールベースに書かれた論理回路があるかどうかを決定して論理合成を行う論理合成システムにおいて、前記論理回路ルールベースに書かれた情報を入力する入力手段と、

それと別に入力したハードウェア記述言語中に前記論理回路ルールベース内の論理回路と一致するかどうかを判定する判定手段と、

この判定手段により前記入入力手段により入力した前記論理回路ルールベースとハードウェア記述言語中に前記論理回路ルールベース内の論理回路が一致する際に、論理回路自動合成対象から除外する除外手段と、を備えた論理合成システム。

【請求項2】前記論理回路ルールベースを事前に読み込む読込手段と、論理合成対象となる前記論理回路の中に前記論理回路ルールベースに書かれた論理回路があるか否かを検索する検索手段と、この検索手段からの検索結果に基づいて検索対象が見つかった場合に、前記論理合成対象から除外する論理合成対象除外手段と、を備えたことを特徴とする請求項1に記載の論理合成システム。

【請求項3】論理合成対象回路の中に論理回路ルールベースに書かれた論理回路があるかどうかを決定して論理合成を行う論理合成回路において、前記論理回路ルールベースに書かれた情報を入力する入力回路と、

それと別に入力したハードウェア記述言語中にルールベース内の論理回路と一致するかどうかを判定する判定回路と、

この判定回路から出力する判定信号に基づいて、前記入入力回路により入力した前記論理回路ルールベースとハードウェア記述言語中に前記論理回路ルールベース内の前記論理回路が一致する際に、前記論理合成対象から除外するための除外信号を出力する除外回路と、を備えた論理合成回路。

【請求項4】前記論理回路ルールベースを事前に読み込む読込回路と、論理合成対象となる前記論理回路の中に前記論理回路ルールベースに書かれた論理回路があるか否かを検索する検索回路と、

この検索回路から出力する検索信号に基づいて、前記論理回路ルールベースに書かれた前記論理回路があることを検索し、検索対象が見つかった場合に、前記論理合成対象から除外する論理合成対象除外回路と、を備えたことを特徴とする請求項3に記載の論理合成回路。

【請求項5】論理合成対象回路の中に論理回路ルールベ

ースに書かれた論理回路があるかどうかを決定して論理合成を行う論理合成システムにおいて、前記論理回路ルールベースに書かれた情報を入力するステップと、

それと別に入力したハードウェア記述言語中に前記論理回路ルールベース内の論理回路と一致するかどうかを判定するステップと、

入力した前記論理回路ルールベースとハードウェア記述言語中に前記論理回路ルールベース内の論理回路が一致する際に、論理回路自動合成対象から除外するステップと、

を含むことを備えた論理合成方法。

【請求項6】前記論理回路ルールベースを事前に読み込むステップと、

論理合成対象となる前記論理回路の中に前記論理回路ルールベースに書かれた論理回路があるか否かを検索するステップと、

前記論理回路ルールベースに書かれた前記論理回路があることを検索し、検索対象が見つかった場合に、前記論理合成対象から除外するステップと、

を含むことを特徴とする請求項5に記載の論理合成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、論理回路ルールベースを用いて論理合成対象回路の中にルールベースに書かれた論理回路があるかどうかを検索して、論理合成する論理合成システム、論理合成回路および論理合成方法に関する。

## 【0002】

【従来の技術】従来、論理合成システムには、例えば、論理合成対象回路の中にルールベースに書かれた論理回路があるかどうかを検索し、論理合成するシステムがあった。このような論理合成システムでは、論理合成を行う際に、オペレータが論理合成システム用の制御コマンドをマニュアル設定して論理回路の論理合成を行うものがあった。

## 【0003】

【発明が解決しようとする課題】しかしながら、これまでの論理合成システムは、オペレータがマニュアル設定により論理回路の合成を行っていたため、対象の選定ミスや論理合成システムへの制御コマンド設定ミスなどにより、誤った論理合成処理を行うことがあり、信頼性の点で問題があった。

【0004】またこの種の論理合成システムでは、大規模な論理合成対象回路の場合に、膨大な論理合成処理時間を要し、作業性が低下するという問題があった。

【0005】本発明の目的は、論理合成システムを使う上で、人手で制御する部分を減らすことにより、論理合成処理の信頼性を向上させると共に、論理合成システム

10

20

30

40

50

を有効に利用することにある。

#### 【0006】

【課題を解決するための手段】本発明の論理合成システムおよび論理合成回路は、従来有している論理合成システム以外に、あらかじめ設定した論理合成の対象としな  
い論理回路情報が入った論理回路ルールベースを読み込む読み込み手段と、論理合成対象回路の中に読み込んだ論理回路ルールベースと同一の論理回路があるかどうかを検索する検索手段と、見つかった場合利用者に論理合成の対象とするか否かを  
確認する確認手段と、論理合成の対象とする場合、その情報を含んだ論理合成システム用制御コマンドを作成する作成手段とを備える。

【0007】本発明の論理合成方法は、入力した論理合成対象回路の中にルールベースに書かれた論理回路が存在するかどうかを論理合成対象回路との検索手段で自動的に検索するため、検索漏れがなくなり、また検索結果を利用者に確認した後に、論理合成システム用制御コマンド作成手段で自動的にコマンドを作成するため、コマンドのミス等による設定ミスがなくなる。これによって、システムを利用する上での信頼性が高まり、作業性を向上することができる。

#### 【0008】

【発明の実施の形態】次に、本発明の論理合成システム、論理合成回路および論理合成方法について図面を参照して説明する。

【0009】図1は本発明である回路ルールベースを利用した論理合成システムの一実施例を示す全体構成を示すブロック図である。図1において、論理合成システムは、論理合成対象回路の入力手段1、論理回路ルールベース読取手段2、論理合成対象回路との検索手段3、利用者への確認手段4、論理合成システム用制御コマンド作成手段5および論理合成システム6より構成する。

【0010】図2は、本システムを実現するハードウェアの構成を示すものである。図2において、論理合成システムは、論理合成対象の論理回路情報ファイル28と論理合成対象には適さない部分回路ルールベース29を磁気ディスク装置23から入力する。

【0011】本実施例では、磁気ディスク装置23から入力した部分回路ルールベース29をコンピュータ21内の記憶装置26内のメモリに格納して、図1に示した論理合成対象回路入力手段1から論理合成システム6における処理を実行する。利用者への確認手段4の時には、ディスプレイ装置24に確認指示を示す表示を行い、マウス装置22によって確認指示27を行う。

【0012】また本実施例では、論理合成の対象から除外することを表す論理合成システム用制御コマンド30を記憶装置26内のメモリに送出し、その記憶装置26のメモリと中央処理装置25において動作する論理合成システム6に送出する。

【0013】図3は本システムが対象とする論理回路の

構成および、論理合成処理の対象には適さない部分回路の存在位置を示す図である。一般的に大規模なLSIは、ある機能のまとまりに分割して設計を行い、その分割単位をマクロと呼んでいる。論理合成処理の対象には適さない部分回路は、そのマクロ全体もしくはマクロの内部の一部分に存在する。

【0014】図4は本発明の実施例の論理合成システムを適用するLSI設計フローを示したものである。図3に示したマクロごとにステップ41（以下、S41という）において論理回路作成もしくはS42において、ハードウェア記述言語作成の設計を行う。S42に続いてS43において、ハードウェア記述言語を作成する場合に論理合成を行う。そして、S41またはS43に引き続いて、論理回路の合成対象であるLSI全体を結合し、S45において論理検証がされているか否かの判定をする。その後再度論理合成システム6において、S46のような論理回路の最適化処理を行う。ここで、事前に論理合成対象としては適さない部分回路を論理合成対象から除外すれば、論理合成の際にタイミングの問題がなくなり、タイミング検証工程で見つかるような問題を生じないようにすることができる。タイミング検証行程において問題が生じた場合においても、再度論理合成処理を行うという処理の重複をなくすることができるので、処理の迅速化を図ることができる。

【0015】次に、本発明の実施例について図5～図8を参照してさらに具体的に説明する。これらの説明においては、図1～図4を参照して説明する。図5は、図1の論理回路ルールベース読取手段2で読み込む論理回路の例を示す回路図である。図5において、バッファ51、52、53は論理ゲートから成り、図のように続けてチェーン接続して遅延を大きくしている。バッファ53の出力側は、フリップフロップ（以降FFと略称する）回路の入力端子Dに接続することにより、データ線の到着時間に遅延を与えている。図5に示すような回路の接続情報を回路ルールベース29に保存しておくことができる。

【0016】図6は、図1に示す論理合成対象回路との検索手段3の論理回路の例を示すものである。この論理回路例は、図3で示したLSIの一部のマクロとする。この論理合成処理対象回路の中を、図5で示した論理回路と一致するものがあるか検索を行う。図5と同じ構成については、同一の符号を付し、詳しい説明を省略する。図6においては、FF51～53へデータ線をさかのぼり、フリップフロップと認識して、論理回路ルールベースと同じ回路があることを見つけた。

【0017】このような論理回路が見つかった場合は、論理合成処理の対象とする場合もあるため、利用者へ論理合成の対象とするか否かを利用者がマウス装置22による指示により行くと、その確認指示にしたがって表示をディスプレイ装置24にする。もし論理回路の処理対

象から除外する場合には、図7に示したような論理合成システムの制御コマンドを作成する。このコマンドはA001～A004までそのままにすることを示すものである。図7のコマンドにおいては、部分回路を識別するための個別名称（以降 インスタンス名と呼ぶ）を用いる。そして図7の制御コマンドを論理合成システム6に送出した後には、論理合成システム6によるS47による論理最適化処理を行う。

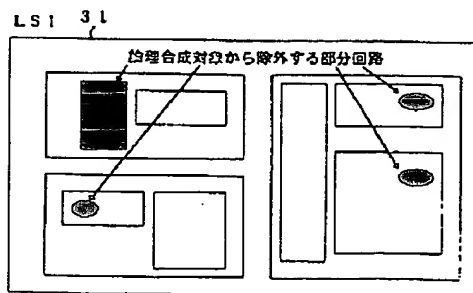
【0018】処理後の論理回路の例を図8に示す。本実施例では、論理ゲート64、65のS47による論理最適化処理によって、論理ゲート61になっているが、図7のコマンドを用いて制御を行うと、論理ゲート63-1、63-2、63-3は、そのままになっていることがわかる。これにより、本実施例では、制御を行わずS47における論理最適化処理を行うと、論理ゲート63-1、63-2、63-3がなくなることになる。

【0019】以上に説明した本実施例は、入力した論理合成対象回路の中にルールベースに書かれた論理回路が存在するかどうかを論理合成対象回路との検索手段で自動的に検索するため、検索漏れがなくなり、また検索結果を利用者に確認した後に、論理合成システム用制御コマンド作成手段5で自動的にコマンドを作成するため、コマンドのミス等による設定ミスがなくなる。これによって、システムを利用する上での信頼性が高まり、作業性を向上することができる。これにより、論理合成処理の前に事前に用意した論理回路ルールベースを読み込み論理合成対象回路から除外することを正確に行うことができるため、誤って論理合成処理をしてしまう問題をなくし、再度論理合成処理を行うという後戻りによる操作の煩わしさなどを軽減することにより、システムを利用する上での信頼性が高まり、作業性を向上することができる。

【0020】

【発明の効果】以上説明したように本発明は、論理合成処理の前に事前に用意した論理回路ルールベースを読み込み論理合成対象回路から除外することを正確に行うことができるため、誤って論理合成処理をしてしまう問題をなくし、再度論理合成処理を行うという後戻りを軽減

【図3】



することができるなどの効果を奏することができる。

【図面の簡単な説明】

【図1】本発明の実施例の回路ルールベースを利用した論理合成システムの全体構成を示すブロック図である。

【図2】図1の論理合成システムの具体的な構成を示すブロック図である。

【図3】図3はLSIの中の論理の構成及び論理合成処理には適さない部分回路の存在位置を示し図である。

【図4】本システムを適用するLSI設計フローにおける処理を示すフローチャートである。

【図5】論理回路ルールベースに登録する回路の例を示す回路図である。

【図6】図3の中のひとつの回路を抜き出して示す回路図である。

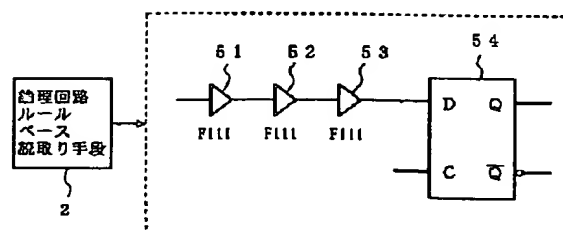
【図7】論理合成システムに送出する論理合成対象外指定の制御コマンドの例を示す時である。

【図8】本システムを用いて最適化した論理回路出力の例を示したものである。

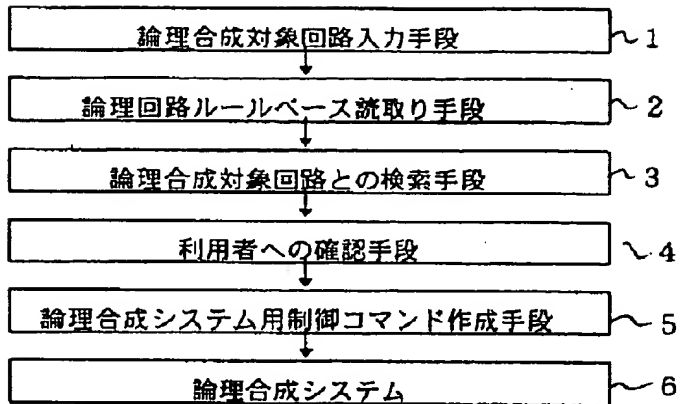
【符号の説明】

- |    |                       |
|----|-----------------------|
| 20 | 1 論理合成対象回路入力手段        |
|    | 2 論理回路ルールベース読取り手段     |
|    | 3 論理合成対象回路との検索手段      |
|    | 4 利用者への確認手段           |
|    | 5 論理合成システム用制御コマンド作成手段 |
|    | 6 論理合成システム            |
|    | 21 コンピュータ             |
|    | 22 マウス装置              |
|    | 23 磁気ディスク             |
|    | 24 ディスプレイ装置           |
| 30 | 25 中央処理装置             |
|    | 26 記憶装置               |
|    | 29 回路ルールベース           |
|    | 30 制御コマンド             |
|    | 31 LSI                |
|    | 51～53 バツファ            |
|    | 54 フリップフロップ回路         |
|    | 64 論理積回路              |
|    | 65 論理和回路              |

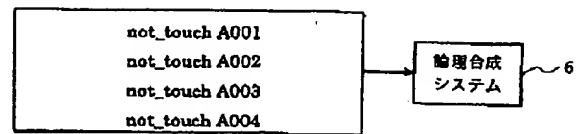
【図5】



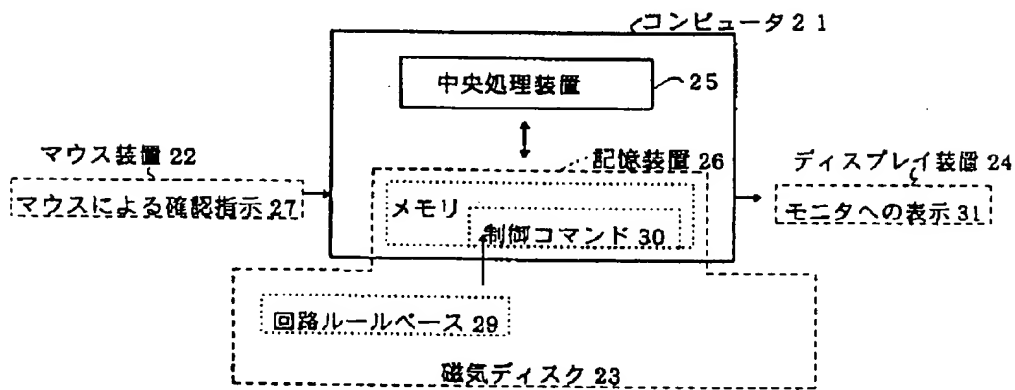
【図1】



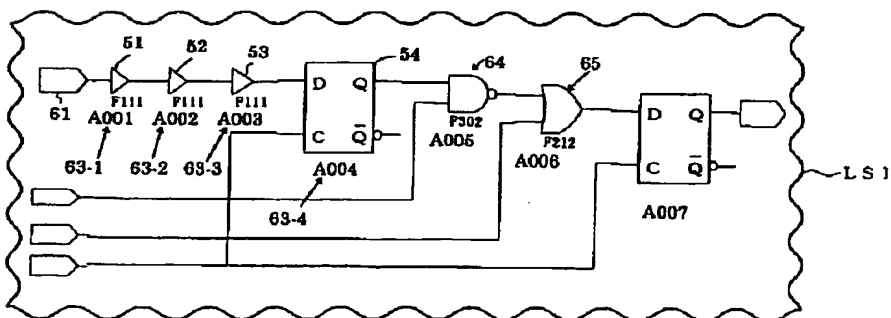
【図7】



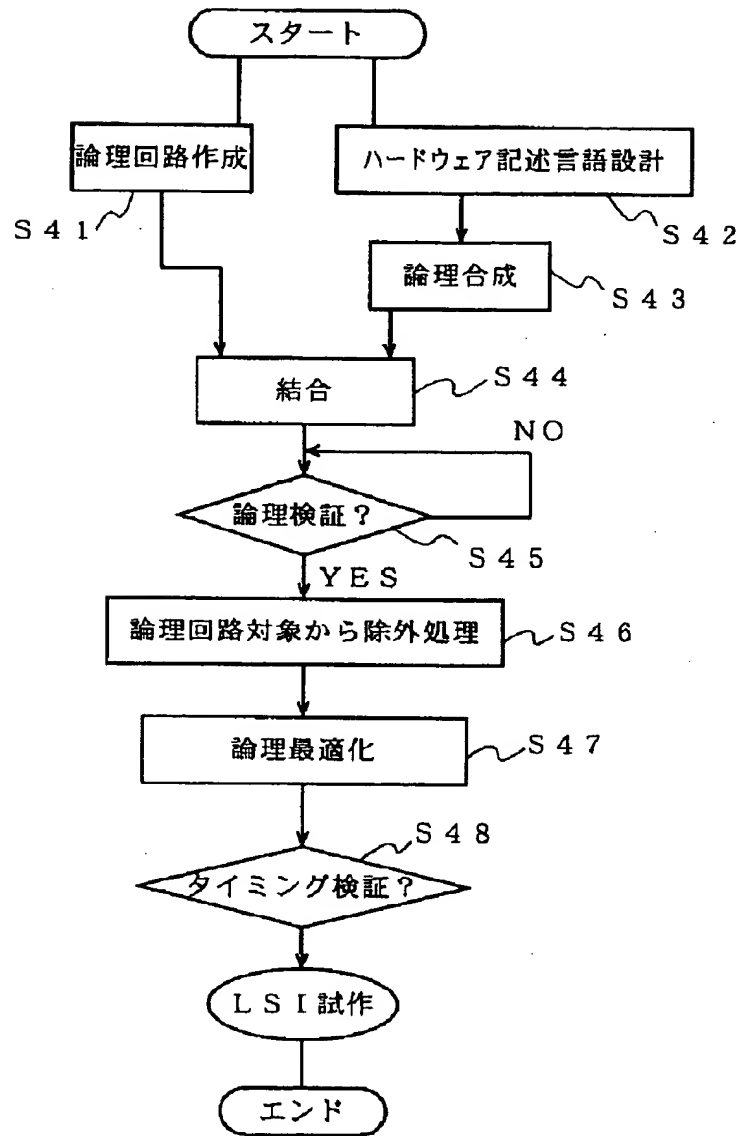
【図2】



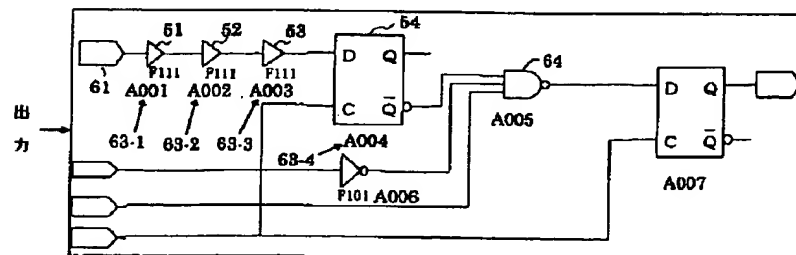
【図6】



【図4】



【図8】



フロントページの続き

(72)発明者 中木 琢夫

神奈川県川崎市中原区小杉町一丁目403番

地 日本電気テレコムシステム株式会社内

(72)発明者 根本 武晴

神奈川県川崎市中原区小杉町一丁目403番

地 日本電気テレコムシステム株式会社内